

DIALOG(R)File 347:JAPIO
(c) 1998 JPO & JAPIO. All rts. reserv.

03400072
THIN-FILM TRANSISTOR

PUB. NO.: 03-062972 [JP 3062972 A]

PUBLISHED: March 19, 1991 (19910319)

INVENTOR(s): KURIYAMA HIROYUKI

SANO KEIICHI

IWATA HIROSHI

NOGUCHI SHIGERU

NAKAYAMA SHOICHIRO

APPLICANT(s): SANYO ELECTRIC CO LTD [000188] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 01-198482 [JP 89198482]

FILED: July 31, 1989 (19890731)

ABSTRACT

PURPOSE: To achieve high-speed switching while reducing OFF current through heterojunction by performing laser doping for a semiconductor film in a carbon compound environment with a gate electrode film being employed as a mask and by performing heterojunction of a channel region, a source region, and a drain region.

CONSTITUTION: A gate electrode film 4 is formed by a phosphorus-doped p-Si film on a gate insulation film 3. Then, laser doping is performed to a semiconductor film 2 from the side of the gate electrode film 4 with it being employed as a mask. As a result, a source region 22 and a drain region 23 other than a channel region 21 which is masked to the gate electrode film 4 become an N-type p-SiC. For example, sheet resistance of a source region 22 and a drain region 23 becomes 100 ohms/port and an energy

gap E_g of these regions 22 and 23 is widened, thus achieving material change to the p-SiC. Thus, heterojunction is formed by an N-type p-SiC source region 22 and a drain region 23 as well as a genuine or slightly P-type p-Si channel region 21.

⑫ 公開特許公報(A) 平3-62972

⑪ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)3月19日

H 01 L 29/784

9056-5F

H 01 L 29/78

3 1 1 S

審査請求 未請求 請求項の数 2 (全4頁)

⑭ 発明の名称 薄膜トランジスタ

⑮ 特 願 平1-198482

⑯ 出 願 平1(1989)7月31日

⑰ 発 明 者	栗 山 博 之	大阪府守口市京阪本通2丁目18番地	三洋電機株式会社内
⑰ 発 明 者	佐 野 景 一	大阪府守口市京阪本通2丁目18番地	三洋電機株式会社内
⑰ 発 明 者	岩 多 浩 志	大阪府守口市京阪本通2丁目18番地	三洋電機株式会社内
⑰ 発 明 者	能 口 繁	大阪府守口市京阪本通2丁目18番地	三洋電機株式会社内
⑰ 発 明 者	中 山 正 一 郎	大阪府守口市京阪本通2丁目18番地	三洋電機株式会社内
⑰ 出 願 人	三洋電機株式会社	大阪府守口市京阪本通2丁目18番地	
⑰ 代 理 人	弁理士 西野 卓嗣	外2名	

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

(1) 非単結晶半導体材料からなる半導体膜とゲート絶縁膜とゲート電極膜とソース電極膜とドレイン電極膜を備える薄膜トランジスタに於て、上記半導体膜はゲート電極膜位置に対応するチャンネル領域と上記ソース電極膜並びにドレイン電極膜位置に対応するソース領域並びにドレイン領域とからなり、チャンネル領域とソース領域並びにドレイン領域はヘテロ接合を構成することを特徴とした薄膜トランジスタ。

(2) 多結晶シリコン材料からなる半導体膜のチャンネル領域上にゲート絶縁膜を介してゲート電極膜を形成し、さらに半導体膜のソース領域並びにドレイン領域上にこれら領域とコンタクトするソース電極膜並びにドレイン電極膜を形成する薄膜トランジスタの製造方法に於て、

半導体膜のチャンネル領域上にゲート絶縁膜を

介してゲート電極膜を形成した後、該ゲート電極膜をマスクとして炭素化合物雰囲気中で半導体膜に対してレーザドーピングを行うことにより、該半導体膜のソース領域とドレイン領域とをシリコンカーバイドを主材料とした半導体膜に変質せしめ、チャンネル領域とソース領域並びにドレイン領域とをヘテロ接合することを特徴とした薄膜トランジスタの製造方法。

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明は、薄膜トランジスタ(以後TF Tと略記する)に関する。

(ロ) 従来の技術

一般に、TF Tは、非単結晶半導体材料からなる半導体膜とゲート絶縁膜とゲート電極膜とソース電極膜とドレイン電極膜を備えるものであり、ガラスなどの絶縁基板上に多数同時形成される場合が多い。

このようなTF Tを多数ガラス基板上に形成したTF Tアレイは、例えば、アクティブマトリク

型の液晶表示装置の電極基板に搭載され、各TFTでこのTFTに結合した表示画素電極に対する画像信号の供給を制御するために利用されている(特開昭62-178296号)。

アクティブマトリク型の液晶表示装置の電極基板に採用されるTFTには、アモルファス・シリコン半導体を用いたものがあり、大面積のシリコン半導体膜、シリコン酸化膜、シリコン窒化膜などの成膜に有利なプラズマCVD法の使用によって現実のものとなっている。

而して、近年、アクティブマトリク型の液晶表示装置の表示品質の向上の要望に答えるべく、例えば、高品位TV用表示器への採用を目指してTFTのスイッチング時間の短縮が課題とされている。このため、アモルファス・シリコン半導体に代えて、例えばこれをアニール処理して電子移動度の高速化を図った多結晶半導体を用いたTFTが開発されている。

(ハ) 発明が解決しようとする課題

しかしながら、上述のような多結晶シリコンT

F Tは、スイッチング時間の高速化が望めるもののOFF電流が大きくなる欠点を合わせ持っているため、通常の単結晶シリコンのFET同様にソース・ドレイン領域に不純物を導入してチャンネル領域とソース・ドレイン領域との導電性を異ならせてPN接合を形成しようとする試みがなされているが、これでもOFF電流の十分な低減はできず、実用的なTFTを得るには至っていない。(ニ) 課題を解決するための手段

本発明のTFTは、非結晶半導体膜のチャンネル領域とソース領域並びにドレイン領域とでヘテロ接合を構成するものである。

さらに、本発明のTFTの製造方法は、シリコンからなる半導体膜のチャンネル領域上にゲート絶縁膜を介してゲート電極膜を形成した後、該ゲート電極膜をマスクとして炭素化合物雰囲気中で半導体膜に対してレーザドーピングを行うことにより、該半導体膜のソース領域とドレイン領域とをシリコンカーバイドを主材料とした半導体膜に変質せしめ、チャンネル領域とソース領域並び

にドレイン領域とをヘテロ接合するものである。

(ホ) 作用

本発明によれば、非結晶半導体膜のチャンネル領域とソース領域並びにドレイン領域とでヘテロ接合を構成するものであるから、実用に耐える程度までOFF電流の低減が可能な高速スイッチングがTFTを実現できる。

また、レーザドーピング手法によって、チャンネル領域とソース領域並びにドレイン領域とのヘテロ接合を容易に実現できる。

(ヘ) 実施例

第1図に本発明の一実施例のTFTの断面構造を示す。

同図のTFTは、絶縁基板1上に半導体膜2を形成したものであり、該半導体膜2上のチャンネル領域21上にはゲート絶縁膜3を介してゲート電極膜4が積層され、上記半導体膜2のソース領域22並びにドレイン領域23にはパシベーション膜5のコンタクトホールを介してソース電極膜6並びにドレイン電極膜7がコンタクトされてい

る。

同図実施例のTFTに於いて本発明が特徴とするところは、半導体膜2のチャンネル領域21を真性、又は若干P型のポリ・シリコン[P型p-Si]とすると共に、ソース領域22並びにドレイン領域23をN型のポリ・シリコンカーバイド[N型p-SiC]とし、ヘテロ接合を構成したところにある。

次に、第2図の製造工程図に従って、第1図の本発明装置の製造工程を説明する。

まず、第2図(a)に示すように、無アルカリのガラス基板1上に真性あるいは若干P型を呈するp-Siをデポジション(膜厚1000~1500Å)してこれを島状にパターニングして半導体膜2を得る。この時のp-Siのデポは、アモルファス・シリコン[a-Si]のレーザアニールによって可能であるが、他にも固着成長法が使用できる。

第2図(b)に示すように、上記半導体膜2の後工程でチャンネル化される領域上に、常圧CVD、減圧CVD、ECRプラズマCVD、プラズ

マCVD、スパッタリングなどを用いて、 SiN_x や SiO_2 からなるゲート絶縁膜3を形成する。

第2図(c)に示すように、上記ゲート絶縁膜3上に、 $550^\circ \sim 600^\circ \text{C}$ で磷ドーパのp-Si膜を得、これでゲート電極膜4を形成する。また、ゲート電極膜4としては、Al、Tiなどの金属材料も使用できる。

第2図(d)に示すように、 $\text{P}(\text{CH}_3)_3$ 雰囲気[Storr]中で、ゲート電極膜4側から、これをマスクとして半導体膜2にレーザドーピング[エキシマレーザ： $50 \sim 900 \text{ mJ}/\text{cm}^2$ ；1-100パルス]を行う。

この結果、ゲート電極膜4にマスクされたチャンネル領域21以外のソース領域22並びにドレイン領域23はN型p-SiCとなる。実験的にレーザエネルギーを $400 \text{ mJ}/\text{cm}^2$ (10~50パルス)とした場合、ソース領域22とドレイン領域23のシート抵抗は $100 \Omega/\square$ となり、さらに光学特性測定によりこれら領域22、23のエネ

ルギーギャップEgが広がっていることが分かるので、p-SiCへの材質変化が確認できる。

従って、N型p-SiCのソース領域22並びにドレイン領域23と真性あるいは若干P型p-Siのチャンネル領域21とでヘテロ接合が形成される。

この場合、NチャンネルTFTとなるが、PチャンネルTFTを得るには、真性あるいは若干N型の半導体膜2に対して $\text{B}(\text{CH}_3)_3$ 雰囲気中でのレーザドーピングを行えば良い。

第2図(e)に示すように、 SiN_x や SiO_2 からなるパシベーション膜5をデポジションし、半導体膜のソース領域22とドレイン領域23にそれぞれコンタクトホールを形成する。

最後に、第2図(f)に示すように、ソース電極膜6とドレイン電極膜7をなすAl、Al-Siなどの配線用金属膜をデポジションする。

以上の工程で第1図のTFTが得られる。

新して得られたチャンネル幅 $20 \mu\text{m}$ 、チャンネル長 $5 \mu\text{m}$ のNチャンネルTFTについて、O

FF電流測定を行った結果、 $2 \times 10^{-11} \text{ A}/\mu\text{m}$ の値が得られ、これはヘテロ接合を持たない従来のTFTの値に比べて2桁程度低減されている。

(ト) 発明の効果

本発明のTFTは、非結晶半導体膜のチャンネル領域とソース領域並びにドレイン領域とでヘテロ接合を構成するものであるから、このヘテロ接合によりOFF電流の低減を図りながら高速スイッチングを可能にできる。従って、高品位のアクティブマトリクス型の液晶TV用高速動作TFTアレイが実現できる。

また、本発明のTFTの製造方法によれば、レーザドーピング手法の採用によって、チャンネル領域とソース領域並びにドレイン領域とのヘテロ接合が簡単に得られ、製造コストの増大を招くことなく、信頼性の高い高速動作TFTを得ることができる。

4. 図面の簡単な説明

第1図は本発明のTFTの断面構成図、第2図(a)乃至(f)は第1図の本発明TFTの製造工程

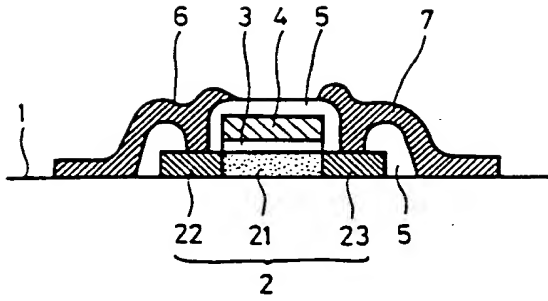
を示す断面図である。

2…半導体膜、3…ゲート絶縁膜、4…ゲート電極膜、6…ソース電極膜、7…ドレイン電極膜、21…チャンネル領域、22…ソース領域、23…ドレイン領域。

出願人 三洋電機株式会社

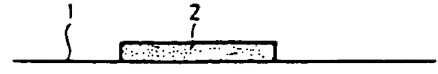
代理人 弁理士 西野卓爾(外2名)

第1図



第2図

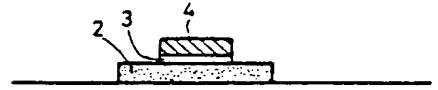
(a)



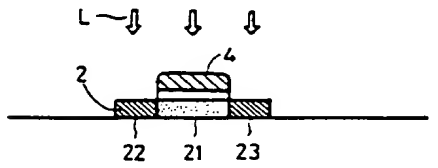
(b)



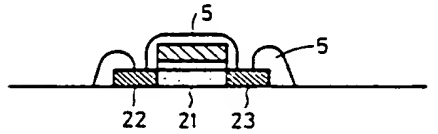
(c)



(d)



(e)



(f)

